

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189590

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 21/3205

(21)Application number : 08-343495

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.12.1996

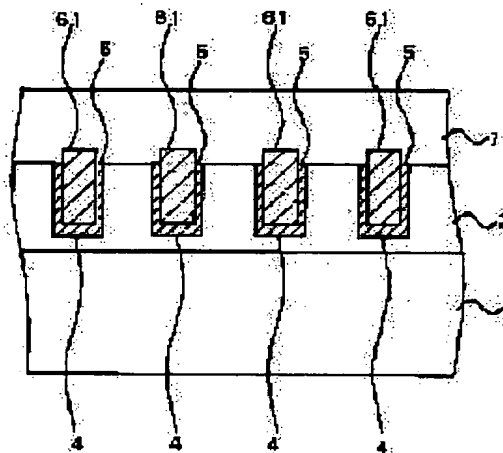
(72)Inventor : TSUTSUMI TOSHIAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is enhanced in reliability, by a method wherein an insulating film formed on a semiconductor substrate where an Cu film wiring is provided is protected against cracking and dents.

SOLUTION: A semiconductor device is equipped with a semiconductor substrate 1, a first insulating film 2 which is provided with an opening 4 and formed on the substrate 1, a conductive film 5 which covers the inner wall of the opening 4, and a Cu film wiring 61 embedded in the opening 4. The Cu film wiring 61 is formed by making its upper edge protrude from the surface of the first insulating film 2, and the upper edge of the Cu film wiring 61 is covered with a second insulating film 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J.P.) (12) 公開特許公報 (A) 特開平10-189590
 (43)公開日 平成10年(1998)7月21日

(51)Int.Cl.⁴ H01L 21/3205 F I H01L 21/08 M
 審査請求 未請求 請求項の数11 OL (全13頁)

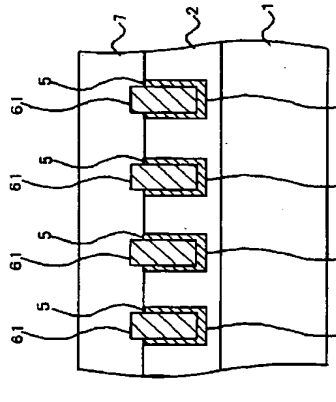
(21)出願番号 願平8-343495 (71)出願人 000008013 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (22)出願日 平成8年(1996)12月24日 (72)発明者 梶 聡明
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内
 (74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 Cu膜配線が形成される半導体基板上の絶縁膜にクラックや腐みが生じることを防止し、信頼性の高い半導体装置を得ることを目的とする。

【解決手段】 この発明に係る半導体装置は、半導体基板1と、この半導体基板1上に形成され、開口部4を有する第1の絶縁膜2と、この開口部4の内壁部を覆う導電性膜5と、この開口部4の内部に埋め込まれて形成したCu膜配線61を備えた半導体装置において、このCu膜配線61の上端部が上記第1の絶縁膜2の表面から突出するように形成し、このCu膜配線61の上端部を第2の絶縁膜7で覆うようにしたものである。



1:半導体基板
 2:第1の絶縁膜
 4:第1の絶縁膜に形成した開口部
 5:導電性膜
 61:Cu膜配線
 7:第2の絶縁膜

【特許請求の範囲】
 【請求項1】 半導体基板と、この半導体基板上に形成され、開口部を有する絶縁膜と、前記絶縁膜の開口部内に埋め込まれ、上端部が前記絶縁膜の表面から突出しているCu膜配線とを備えたことを特徴とする半導体装置。

【請求項2】 半導体基板と、この半導体基板上に形成され、開口部を有する絶縁膜と、前記開口部の内壁部を覆う導電性膜と、前記開口部内部に埋め込まれ、上端部が前記絶縁膜の表面から突出しているCu膜配線とを備えたことを特徴とする半導体装置。

【請求項3】 開口部の側壁部の導電性膜が前記開口部の底面部の導電性膜より薄いことを特徴とする請求項2記載の半導体装置。

【請求項4】 半導体基板上に形成された絶縁膜の表面から突出しているCu膜配線の上端部がシリコン酸化膜で覆われていることを特徴とする請求項1、請求項2又は請求項3記載の半導体装置。

【請求項5】 半導体基板上に形成された絶縁膜の表面から突出しているCu膜配線の上端部がシリコン酸化膜で覆われていることを特徴とする請求項1、請求項2又は請求項3記載の半導体装置。

【請求項6】 半導体基板と、この半導体基板上に形成され、開口部を有する絶縁膜と、前記開口部の底面部を覆う導電性膜と、前記開口部内部に埋め込まれ、上端部が前記絶縁膜の表面から突出しており、かつ上表面及び側面がシリコン酸化膜で覆われているCu膜配線とを備えたことを特徴とする半導体装置。

【請求項7】 半導体基板と、この半導体基板上に形成され、開口部を有する絶縁膜と、前記開口部の底面部を覆う導電性膜と、前記開口部内部に埋め込まれ、上端部が前記絶縁膜の表面から突出しており、かつ上表面及び側面がAl膜で覆われているCu膜配線とを備えたことを特徴とする半導体装置。

【請求項8】 絶縁膜の開口部を覆う導電性膜はチタン酸化膜、チタンシリコン酸化膜又はアルミニウム合金膜のいずれかであることを特徴とする請求項2、請求項3、請求項6又は請求項7記載の半導体装置。

【請求項9】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成する工程と、前記開口部の内壁部を含む前記絶縁膜上に導電性膜を形成する工程と、前記導電性膜上にCu膜を形成する工程と、前記絶縁膜の平坦部上の導電性膜が残存するように前記Cu膜を形成する工程と、前記絶縁膜の平坦部上に残存する導電性膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成する工程と、前記開口部の内壁部を含む前記絶縁膜上に導電性膜を、前記絶縁膜の開口部の側壁部に形成される導電性膜の膜厚が前記絶

縁膜の平坦部の上に形成される導電性膜の膜厚よりも薄くなるように形成する工程と、前記導電性膜上にCu膜を形成する工程と、前記絶縁膜の平坦部上の導電性膜が残存するように前記Cu膜を研磨する工程と、前記絶縁膜の平坦部上に残存する導電性膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1の導電性膜を形成する工程と、前記第1の導電性膜を貫通して前記絶縁膜に開口部を形成する工程と、第2の導電性膜を前記絶縁膜の開口部の内壁部及び前記第1の導電性膜の表面に形成する工程と、前記第2の導電性膜上にCu膜を形成する工程と、前記第2の導電性膜の平坦部上の第1の導電性膜が残存するように前記Cu膜を研磨する工程と、前記絶縁膜の平坦部上の第2の導電性膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】
 【発明の属する技術分野】 この発明は、Cu膜配線を備えた半導体装置及びその製造方法に関するものである。

【0002】
 【従来の技術】 半導体装置の高集積化と高速化が要求されるなか、配線幅及び配線間隔の微細化が進んでいる。ところで、半導体装置の配線材料としては、従来からAl(アルミニウム)膜が広く用いられてきた。しかし、配線の微細化が進むにつれ、Al膜のエレクトロマイグレーション耐性、ストレスマイグレーション耐性についての問題や配線抵抗の増大による伝導遅延の問題が生じようになった。このような状況下、Al膜に代わり、エレクトロマイグレーション耐性にすぐれ且つ低抵抗の低いCu(銅)膜が配線材料として用いられるようになってきた。

【0003】しかし、Cuはそのハロゲン化物の蒸気圧が低く、Alのように低温でRIE法によりエッチングすることができない等の理由により、微細加工することが困難であるという問題がある。そこで、従来より、Cu膜配線の形成方法として、半導体基板上に開口部を有する絶縁膜を形成し、その開口部の中にCuを埋め込んだ後に化学機械研磨法により表面を平坦化してCu膜配線を形成するという方法が採られてきた。以下に、このようにして形成された従来のCu膜配線及びその形成方法の詳細について説明する。

【0004】図26～図32は従来のCu膜配線の形成方法を工程順に示す半導体装置の断面図である。まず、図26に示すようにシリコンからなる半導体基板1上にシリコン酸化膜からなる第1の絶縁膜2をCVD法等によって1μm程度の厚さに形成する。次に、図27に示すように、第1の絶縁膜2上にレジスト膜を形成した後、写真製版法によりパターンニングしてレジストパターン

を形成する。次に、図28に示すように、レジストパターンをマスクとして、第1の絶縁膜2の表面に開口部4を形成する。この開口部4の内壁部を導電性膜5で覆う。次に、図29に示すように、開口部4の内部にCu膜配線61を埋め込む。最後に、図30に示すように、Cu膜配線61の上端部を第2の絶縁膜7で覆う。このようにして形成された従来のCu膜配線装置の断面図である。

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板上に形成され、開口部を有する絶縁膜と、この絶縁膜の開口部に埋め込んで形成したCu膜配線とを備えた半導体装置において、このCu膜配線の上部が上記絶縁膜の表面から突出するようにしたものである。

【0011】また、この発明に係る半導体装置は、半導体基板上、この半導体基板上に形成され、開口部を有する絶縁膜と、この絶縁膜の開口部の内層部を覆う導電性膜と、この開口部に埋め込んで形成したCu膜配線を備えた半導体装置において、このCu膜配線の上部が上記絶縁膜の表面から突出するようにしたものである。

【0012】さらに、この発明に係る半導体装置は、上記絶縁膜の開口部の内層部を覆う導電性膜のうち、開口部の側壁部に形成される導電性膜の膜厚が開口部の底面に形成される導電性膜の膜厚より薄くなるようにしたものである。

【0013】また、この発明に係る半導体装置は、上記半導体基板上に形成した絶縁膜の表面から突出しているCu膜配線の上部部をシリコン酸化膜で覆うようにしたものである。

【0014】また、この発明に係る半導体装置は、上記絶縁膜の表面から突出しているCu膜配線の上部部をシリコン窒化膜で覆うようにしたものである。

【0015】また、この発明に係る半導体装置は、半導体基板上、この半導体基板上に形成され、開口部を有する絶縁膜と、この開口部の底面を覆う導電性膜と、この開口部に埋め込んで形成したCu膜配線を備えた半導体装置において、このCu膜配線の上部が上記絶縁膜の表面から突出するように形成し、さらに、上記絶縁膜の側面及び上面部をシリコン窒化膜で覆うようにしたものである。

【0016】また、この発明に係る半導体装置は、半導体基板上、この半導体基板上に形成され、開口部を有する絶縁膜と、この開口部の底面を覆う導電性膜と、この開口部に埋め込んで形成したCu膜配線を備えた半導体装置において、このCu膜配線の上部が上記絶縁膜の表面から突出するように形成し、さらに、上記Cu膜配線の側面及び上面部をAl膜で覆うようにしたものである。

【0017】さらに、この発明に係る半導体装置は、上記絶縁膜の開口部を覆う導電性膜をチタン窒化膜、チタンシリコン窒化膜又はアルミニウム合金膜のいずれかで構成するようにしたものである。

【0018】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜の開口部に形成される導電性膜の膜厚が開口部の内層部を覆う導電性膜の膜厚より薄くなるようにしたものである。

ン3を形成する。次いで図28に示すように、このレジストパターン3をマスクとしてドライエッチングにより第1の絶縁膜2に開口部4を、例えば幅0.3μm深さ0.6μm程度に形成する。

【0005】その後、レジストパターン3を除去し、図29に示すように導電性膜5、例えば厚さ0.05μm程度のTiN膜を第1の絶縁膜2の開口部4を含む表面の上にスパッタ法により形成する。次いで、図30に示すように、Cu膜6を同様の法により、第1の絶縁膜2の開口部4の内層部を埋め込むようにして0.5μm程度の厚さに形成する。なお、このTiN膜は、一般的にCuとシリコンの相互拡散を防止する等の目的のために設けられたものである。次に、図31に示すように、化学機械研磨法により、絶縁膜2の上の平坦部をTiN膜5とCu膜6とを除去する。このような工程を経て、図32に示すような絶縁膜2に設けられた開口部4の内部に埋め込まれた状態のCu膜配線6を備えた半導体装置が形成される。

【0006】【発明が解決しようとする課題】従来の半導体装置は以上のようにして形成されるが、図32に示すように、Cu膜配線60の上部が絶縁膜2の表面に対して平坦になるような構成となっていた。従って、図31に示す化学機械研磨法によってCu膜6及びTiN膜5の不要部分を除去する際に、この研磨が第1の絶縁膜2から露出するまでに行う必要があった。このため、TiN膜5が研磨された後により、第1の絶縁膜2の一部も同時に研磨され、図32に示すように、第1の絶縁膜2の表面にスクラッチ(引っ掻き傷)が形成されるという問題があった。このようなスクラッチが形成されるとその部分にCuやTiNが残り、不必要に配線を短絡し、半導体装置の信頼性に影響を及ぼすことになる。

【0007】また、従来の半導体装置では、化学機械研磨法によってTiN膜5及びCu膜6の不要部分を除去する際に、図32に示すように、配線パターンの密集部分ではその中央部に窪みが形成されやすくなる。このような窪みが半導体装置に形成されると、その部分のCu膜配線の高さが相対的に低くなり、結果的にその部分の配線抵抗が増加するという問題が発生する。さらに、従来の半導体装置ではCu膜配線が酸化しやすいという問題があった。

【0008】この発明は上記のような問題を解決するために、半導体基板上の絶縁膜にクラックや窪みが生じることを防止し、信頼性の高い半導体装置及びその製造方法を提供することを目的とするものである。

【0009】また、この発明は酸化に優れたCu膜配線を備えた半導体装置を提供することを目的とするものである。

【0010】

上の導電性膜が残存するように上記Cu膜を研磨する工程と、上記絶縁膜の平坦部上に残存する導電性膜を除去する工程とを含むようにしたものである。

【0019】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜の開口部に形成される導電性膜を形成する工程と、この絶縁膜の開口部に形成される導電性膜の膜厚が開口部の内層部を覆う導電性膜の膜厚より薄くなるように形成される導電性膜5bの厚さが第1の絶縁膜2の平坦部上に形成される導電性膜5aの厚さより薄い部分の表面に形成される導電性膜5aの厚さより薄くなるように形成する。例えば、絶縁膜2の平坦部に形成される導電性膜5aの膜厚を0.2μmとすると、開口部4の内層部に形成される導電性膜5bの厚さはその5%~10%、すなわち0.01μm~0.02μmになるように形成する。

【0020】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜上に第1の導電性膜を形成する工程と、この第1の導電性膜を貫通して上記絶縁膜の開口部を形成する工程と、第2の導電性膜を上記開口部の内層部及び上記第1の導電性膜の表面に形成する工程と、上記第2の導電性膜上にCu膜を形成する工程と、少なくとも上記絶縁膜の平坦部の上記第1の導電性膜が残存するように上記Cu膜を研磨する工程と、上記絶縁膜の平坦部上に残存する第1の導電性膜及びこの第1の導電性膜の表面の第2の導電性膜を除去する工程とを含むようにしたものである。

【0021】【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1について、図1~図9に基づいて説明する。図1はこの発明の実施の形態1を示す半導体装置の断面図である。図1において、1はシリコン基板からなる半導体基板、2は半導体基板1上に形成されたシリコン酸化膜からなる第1の絶縁膜、4は第1の絶縁膜に形成した開口部、5は開口部4の内層部を覆うように形成されたTiN(窒化チタン)からなる導電性膜、61は導電性膜5で覆われた絶縁膜2の開口部4の内層部に埋め込まれ、上部が第1の絶縁膜2の表面から突出するように形成されたCu(銅)膜配線、7は第1の絶縁膜2の表面及びこの第1の絶縁膜2の表面から突出しているCu膜配線61の上の上部部を覆うようにして形成されたシリコン酸化膜からなる第2の絶縁膜である。

【0022】次に、このように構成された半導体装置の製造方法について、図2~図9に基づいて説明する。まず、図2に示すように、シリコン基板からなる半導体基板1の表面に熱CVD法やプラズマCVD法等により、シリコン酸化膜を厚さ1μm程度堆積することにより第1の絶縁膜2を形成する。次いで、図3に示すように、この第1の絶縁膜2の表面にレジスト膜を形成し、写真製法によりパターンニングしてレジストパターン3を

形成する。次いで、図4に示すように、このレジストパターン3をマスクとして陽性性のドライエッチングを行い、幅0.3μm深さ0.5μm程度の溝形状の開口部4を第1の絶縁膜2に形成する。

【0023】次に、レジストパターン3を除去した後、図5に示すように、開口部4の内層部を含む第1の絶縁膜2の表面に導電性膜5、例えばTiN膜を形成する。ここで、この導電性膜5のうち、開口部4の内層部に形成される部分の導電性膜5bの厚さが第1の絶縁膜2の平坦部、すなわち絶縁膜2の開口部4が形成されていない部分の表面に形成される導電性膜5aの厚さより薄くなるように形成する。例えば、絶縁膜2の平坦部に形成される導電性膜5aの膜厚を0.2μmとすると、開口部4の内層部に形成される導電性膜5bの厚さはその5%~10%、すなわち0.01μm~0.02μmになるように形成する。

【0024】このような導電性膜5は、コーメーションスパッタ法や遠距離スパッタ法、イオン化スパッタ法などの指向性のあるスパッタ法、またはプラズマCVD法などにより形成できる。なお、一般に、このような指向性のあるスパッタ法により導電性膜を形成すると、開口部4の内層部に形成される導電性膜の厚さは開口部4の底面に形成される導電性膜より薄くなる。また、この導電性膜5の材料は後に形成されるCu膜6とエッチング特性の異なる材料、すなわちCuとの選択エッチングが可能で、材料と必要の化学化合物からなるTiN膜、Tiとシリコンと窒素の化合物、例えばTiN膜が用いられる。また、堆積によって容易にエッチングされるようなアルミニウム合金膜であってもよい。

【0025】次いで、図6に示すように、Cu膜6をスパッタ法またはCVD法により、その内層部が導電性膜5で覆われた開口部4の内層部を埋め込むように、かつその厚さが第1の導電性膜5の表面に0.4μm程度に均一に形成する。なお、ここで形成するCu膜6は純粋なCuに限らず、Cuを主成分とし第1の導電性膜5と選択エッチングが可能で他の膜でもよい。例えば、1%程度の微量なAl(アルミニウム)やTi(チタン)等の他の金属を含んだCuであって同様に適用できる。

【0026】次に、図7に示すように、化学機械研磨法によりCu膜6の表面を研磨し、Cu膜配線61を形成する。ここで、このCu膜6の研磨は、第1の絶縁膜2の平坦部に形成された導電性膜5aの上のCu膜6が完全に除去され、かつその下の導電性膜5aが残存するように行う。すなわち、この研磨によって、絶縁膜2の平坦部の導電性膜5aは露出し、膜分、例えば0.05μm程度除去されるが、完全には除去されず第1の絶縁膜2上に残存するように行うのである。従って、この工程によって形成されるCu膜配線61は、図8に示すように第1の絶縁膜2の平坦部の表面に対してではなく、残

存した導電性膜5 aの表面に対して平坦になるように形成される。

【0027】次に、図9に示すようにドライエッチングにより、第1の絶縁膜2の平坦部の上に残存している第1の導電性膜5 aを選択的に除去する。ただし、このエッチングは、導電性膜5 aのうち、絶縁膜2の平坦部内層部を覆う部分については残存するように行う。このようなエッチングの条件としては、例えば、導電性膜5 aの材料がTiNである場合は、エッチングガスとして塩素を含むガスを用いて、数℃〜数10℃の比較的低温でエッチングを行う。このエッチング工程により、図9に示すように、Cu膜61はその上端部が、残存した導電性膜5 aの厚さの分だけ絶縁膜2の表面から突出した状態を形成される。なお、このエッチング工程により、開口部4の側壁部の導電性膜5 bは第1の絶縁膜2の平坦部と同一の高さか又はオーバーエッチングによりやや低くなる。

【0028】次に、熱CVD法又はプラズマCVD法などにより、第2の絶縁膜7、例えば厚さ0.8 μmのシリコン酸化膜を第1の絶縁膜2及びCu膜61の上端部を覆うように形成する。このような工程により、図1に示したような構成の半導体装置が得られる。

【0029】以上のようにして形成した半導体装置は、Cu膜61を研磨により形成する工程において、その研磨をCu膜61の絶縁膜2の表面に対して平坦になるまで研磨を行わず、絶縁膜2の表面に対して突出した状態で研磨を終了している。従って、絶縁膜2が露出するまで研磨が行われず、この絶縁膜2の表面が直接研磨されることはない。その結果、その表面にスクラッチや窪みが形成されることもなくなる。

【0030】言い換えると、絶縁膜2の平坦部の上に残存した導電性膜5 aが、研磨工程において、常に絶縁膜2の保護膜として作用しているのである。その結果、絶縁膜2上のスクラッチに残存したCuやTiNにより配線が短絡されたり、Cu膜61の底角が増加するという従来の問題が回避されることになる。

【0031】ところで、上記の半導体装置では、導電性膜5 aを形成する際に、絶縁膜2の平坦部に形成した導電性膜5 aの厚厚に対して開口部4の側壁部に形成した導電性膜5 bの厚厚が薄くなるようにしているが、側壁部の導電性膜5 bの厚さと平坦部の導電性膜5 aの厚さを同一とした場合であっても、上記のような劣化を抑制する。しかし、絶縁膜2の開口部4の内部に形成されるCu膜61の幅は開口部4の側壁部に形成される第1の導電性膜5 bの厚さの分だけ減少する。一方、導電性膜5 aを研磨工程における絶縁膜2の保護膜として働かせるためには、この導電性膜5 aをある程度の厚さに形成しておく必要がある。従って、導電性膜5 aを厚く形成する場合、開口部4の側壁部に形成される導電性膜5 bを導電性膜5 aと同様の厚さに形成したので

は、Cu膜61の幅の減少が大きくなり、配線抵抗の増加を招くことになる。

【0032】そこで、上記に示した半導体装置では、絶縁膜2の平坦部に形成した導電性膜5 aの厚厚に対して開口部4の側壁部に形成した導電性膜5 bの厚厚が薄くなるように形成している。すなわち、絶縁膜2の平坦部に形成した導電性膜5 aの厚厚を0.2 μmとした場合、開口部4の側壁部に形成した導電性膜5 bの厚厚が0.1 μm〜0.02 μmとなるように、指向性のあるスパッタ法などを用いて形成している。従って、このような半導体装置では、上記の絶縁膜2の表面にスクラッチや窪みが形成されることを防止できるばかりでなく、煩雑な製造工程を経ることなく、開口部4の側壁部に形成された導電性膜5 bの影響により、Cu膜61の幅が不必要に減少することを抑制できる。

【0033】なお、上記の半導体装置では、開口部4の側壁部の導電性膜5 bの厚さが平坦部の導電性膜5 aの厚厚の5%〜10%となるようにしたが、これ以外の比率としても上記の半導体装置が製造可能なことはいうまでもない。また、上記の半導体装置では、配線が1層の場合について説明したが、2層以上の多層配線構造の半導体装置についてもこの発明を適用することが可能である。さらに、第1の絶縁膜2及び第2の絶縁膜の材料としてシリコン酸化膜を用いたが、研磨によりスクラッチが形成され易いポリイミド膜や有機SOGのような有機材料であってもよく、この場合本発明は特に効果的である。また、第1の絶縁膜2及び第2の絶縁膜の材料は異なるものであってもよい。さらに、第2の絶縁膜を敷けない構造としてもよい。

【0034】実施の形態2、上記の実施の形態1に示す半導体装置では、図1に示すように、第1の絶縁膜2及びCu膜61をシリコン酸化膜からなる第2の絶縁膜7で覆うような構成とした。しかし、図10に示すように、Cu膜61の突出している上端部をシリコン酸化膜からなる第3の絶縁膜8で覆い、さらにシリコン酸化膜からなる第2の絶縁膜7でその上を覆うような構造としてもよい。

【0035】このような構成の半導体装置は、実施の形態1において図9で示したドライエッチングにより第1の絶縁膜2上の第1の導電性膜5 aを選択的に除去する工程の終了後に、熱CVDやプラズマCVD法によりシリコン酸化膜を0.05 μm程度形成してCu膜61の上端部を覆う。次に、同様の方法により第2の絶縁膜7である厚さ0.8 μmのシリコン酸化膜を第3の絶縁膜8の上に形成することによって得られる。

【0036】Cu膜61は、一般的に酸化され易いという性質を有する。従って、Cu膜61が直接酸化膜等と接すると、その表面が酸化するという問題が発生する。しかし、この実施の形態2で示した半導体装置では、Cu膜

いては、実施の形態1で示した半導体装置と同様である。

【0041】次に、図14に示すように構成された半導体装置の製造方法について説明する。まず、実施の形態3において図12に示したのと同様の工程により、第1の絶縁膜2の開口部4の側壁部とCu膜61との間に空隙9を形成する。次に、図15に示すように、CVD法により第2の導電性膜10であるA1膜をCu膜61の表面についてのみ選択成長し、A1膜10で空隙9を埋め込むようにCu膜61の側面及び上面を覆う。このようにA1膜10の選択成長は、例えば、ソースガスとしてジメチルアルミニウムハイドライドを用い、温度200℃、圧力1〜5 Torrの条件下で成膜することにより、シリコン酸化膜である第1の絶縁膜2上には形成せずにCu膜61の表面上のみに選択的にA1膜を形成することが可能となる。

【0042】次に、プラズマCVD法などにより、第2の絶縁膜7である厚さ0.8 μmのシリコン酸化膜をA1膜10で覆われたCu膜61及び第1の絶縁膜2の上に形成することにより、図14に示したような半導体装置が得られる。このような実施の形態4で示した半導体装置では、Cu膜61の底面が導電性膜5で覆われているのみならず、側面と上面がA1膜で覆われているため、耐酸化性に優れたCu膜61が形成できるといえる特徴がある。さらに、A1膜は電気抵抗が低いため、上記の実施の形態3で示したようなCu膜61の側面及び上面部第3の絶縁膜7で覆う場合に比較して配線抵抗を低くすることが可能になり、半導体装置の高速度を図ることが可能になるという特徴がある。

【0043】なお、上記実施の形態4では、A1膜を採用した場合について説明したが、A1膜に代えて、Cu膜61の酸化を防止でき、かつ抵抗の低い他の導電性物質を使用してもよい。また、上記実施の形態4では、第2の絶縁膜7をA1膜10で覆われたCu膜61及び第1の絶縁膜2の上に形成することとしたが、第2の絶縁膜7を形成しない構造としてもよい。

【0044】実施の形態5、上記の実施の形態1では、図5に基づいて説明したように、絶縁膜2の上に導電性膜5を形成する際に、指向性のある成膜方法により一回の成膜工程で、絶縁膜2の平坦部に形成した側壁部に対して開口部4の側壁部に形成した厚厚が薄くなるように形成している。このような成膜方法では、工程数は少なくなるものの、開口部4の側壁部に形成される導電性膜5 aと第1の絶縁膜2の平坦部に形成される導電性膜5 bの厚厚の比は、成膜条件によって左右され、その側壁部が独立にできなかつた。この実施の形態5では、このような厚厚比の制御が独立に行える半導体装置の製造方法を提供するのである。以下、実施の形態5の半導体装置の製造方法を図16〜図25に基づいて説明する。

【0037】実施の形態3、図11はこの発明の実施形態3を示す半導体装置の断面図である。図11において81は、第1の絶縁膜2の開口部4の側壁部とCu膜61との間に介在して形成されたシリコン酸化膜からなる第3の絶縁膜である。なお、その他の部分は実施の形態1で示した半導体装置と同様である。

【0038】次に、図11に示す半導体装置の製造方法について説明する。まず、実施の形態1において図2〜図9に基づいて説明したのと同様の工程を行う。次に、図12に示すように、開口部4の側壁部の第1の導電性膜5 bをドライエッチングにより選択的に除去し、開口部4の側壁部とCu膜61との間に空隙9を形成する。なお、このドライエッチングは、例えば導電性膜5の材料がTiNである場合は、エッチングガスとして塩素を含むガスを用いて行う。次に、図13に示すように、熱CVDやプラズマCVD法により、シリコン酸化膜からなる第3の絶縁膜81を、空隙9を埋め込むようにして形成し、Cu膜61の側面と上面を覆う。次に、同様の方法により、第2の絶縁膜7である厚さ0.8 μmのシリコン酸化膜を第3の絶縁膜81の上に形成することにより、図11に示したような半導体装置が得られる。

【0039】このような実施の形態3で示した半導体装置では、Cu膜61の上面及び側面がシリコン酸化膜からなる第3の絶縁膜で覆われているため、より耐酸化性に優れたCu膜61が形成できるといえる特徴がある。なお、上記実施の形態3の半導体装置では第3の絶縁膜81の上に第2の絶縁膜を形成することとしたが、第2の絶縁膜を形成しない構造としてもよい。また、第3の絶縁膜はシリコン酸化膜に限らず、酸素を含む材料の他の絶縁膜であってもよい。

【0040】実施の形態4、上記の実施の形態3の半導体装置では、Cu膜61の上面及び側面をシリコン酸化膜81に示す半導体装置を、Cu膜61の上表面及び側面をA1膜で覆う構造としたものである。図14はこの発明の実施の形態4の半導体装置の構造を示す断面図である。図14において、10は第1の絶縁膜2の開口部4の側壁部とCu膜61との間に介在して、Cu膜61の側面及び上面を覆うようにして形成されたA1膜である。なお、その他の部分につ

【0056】また、この発明に係る半導体装置は、Cu膜配線の側面及び上面部をA1膜で覆うようにしたことで、耐酸化性に優れるとともに配線抵抗の低いCu膜配線が形成できるという効果がある。

【図2】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図3】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図4】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図5】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図6】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図7】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図8】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図9】この発明の実施の形態1の半導体装置の製造方法を示す断面図。

【図10】この発明の実施の形態2の半導体装置を示す断面図。

【図11】この発明の実施の形態3の半導体装置を示す断面図。

【図12】この発明の実施の形態3の半導体装置の製造方法を示す断面図。

【図13】この発明の実施の形態3の半導体装置の製造方法を示す断面図。

【図14】この発明の実施の形態4の半導体装置を示す断面図。

【図15】この発明の実施の形態4の半導体装置の製造方法を示す断面図。

【図16】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図17】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図18】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図19】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図20】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図21】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図22】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【図23】この発明の実施の形態5の半導体装置の製造方法を示す断面図。

【0057】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜に開口部を形成する工程と、この開口部の内壁部を含む絶縁膜上に導電性膜を形成する工程と、この導電性膜上にCu膜を形成する工程と、上記絶縁膜の平坦部の上に導電性膜が残存するように上記Cu膜を研磨する工程と、上記絶縁膜の平坦部の上に残存する導電性膜を除去する工程とを含むようにしたので、絶縁膜の表面が直接研磨されることなく、絶縁膜の表面にスクラッチや窪みが形成されることがなくなり、信頼性の高い半導体装置の製造が可能になるという効果がある。

【0058】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜に開口部を形成する工程と、この開口部の内壁部を含む絶縁膜上に導電性膜を上記絶縁膜の平坦部の上に形成される導電性膜の膜厚よりも薄くなるように形成する工程と、上記導電性膜上にCu膜を形成する工程と、上記絶縁膜の平坦部の上に形成される導電性膜の膜厚よりも薄くなるように形成する工程と、上記絶縁膜の平坦部の内壁上にCu膜を研磨する工程と、上記絶縁膜の平坦部の上に形成される導電性膜を除去する工程とを含むようにしたので、絶縁膜の表面が直接研磨されることなく、Cu膜配線の幅が不必要に減少することを抑制できる半導体装置の製造が可能になるという効果がある。

【0059】また、この発明に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、この絶縁膜上に第1の導電性膜を形成する工程と、この第1の導電性膜を貫通して上記絶縁膜に開口部を形成する工程と、第2の導電性膜を上記開口部の内壁部及び上記第1の導電性膜の側面に形成する工程と、上記開口部を埋め込む導電性膜の膜厚よりも薄くなるように形成する工程と、上記Cu膜を研磨する工程と、上記絶縁膜の平坦部の上に形成される導電性膜を除去する工程と、第1の導電性膜の表面の第2の導電性膜を除去する工程とを含むようにしたので、第1の絶縁膜の平坦部に形成する導電性膜の厚さと開口部の側壁部に形成される導電性膜の厚さとを独立に制御することが可能になる。その結果、第1の絶縁膜の表面にスクラッチや窪みが形成されることを防止できるとともに、Cu膜配線の幅が不必要に減少することを抑制できるような半導体装置が製造できるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1の半導体装置を示す断面図。

導体装置は、実施の形態1で示した半導体装置と同様の構成のものである。しかし、この実施の形態5で示した製造方法では、第1の導電性膜11を第1の絶縁膜2の平坦部内に形成したことに伴い、第1の絶縁膜2の平坦部に形成する導電性膜の厚さと開口部4の側壁部に形成される導電性膜の厚さとを独立に制御することが可能になる。その結果、研磨工程等他のプロセス条件の設定の自由度が増し、またCu膜配線61が第1の絶縁膜2より突出する部分の高さを抑制することも可能となるため、実施の形態1で示した半導体装置がより制御よく製造できるという効果がある。

【0051】なお、上記の実施の形態5で説明した半導体装置の製造方法は、実施の形態2乃至実施の形態4で説明した半導体装置の製造について適用できることはいずれでもない。また、この第1の導電性膜11及び第2の導電性膜50の材料はCu膜配線61とエッチング特性の異なる材料であればTiN膜に限らずその他の材料でもよく、例えばTiとシリコンと窒素の化合物からなる膜や金属膜によってもよい。また、配線が1層のルミニウム合金膜であってもよい。さらに、図20における第2の場合のみならず、2層以上の多層膜構造の半導体装置についても適用してもよい。さらに、図20における第2の導電性膜50の形成を省略して、Cu膜6を直接絶縁膜2の開口部4の内壁上に形成する構成としてもよい。

【0052】この発明に係る半導体装置は、Cu膜配線を半導体基板上に形成された第1の絶縁膜から突出するような構成としたので、Cu膜を研磨する際に、Cu膜が第1の絶縁膜2に対して平坦になるまで研磨を行う必要がなく、第1の絶縁膜2の表面が直接研磨されることにはならない。その結果、第1の絶縁膜2の表面にスクラッチが形成されることがなくなり、スクラッチに残存したCuやTiNにより配線が短絡されるという問題が回避できる効果がある。また、第1の絶縁膜2の表面に窪みが形成されることもなくなるため、窪みの形成によりCu膜配線の抵抗が増加するという問題が回避できる効果がある。

【0053】さらに、この発明に係る半導体装置は、絶縁膜の表面から突出しているCu膜配線61の表面をシリコン窒化膜で覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

【0054】また、この発明に係る半導体装置は、Cu膜配線61の表面を覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

【0055】さらに、この発明に係る半導体装置は、Cu膜配線61の表面をシリコン窒化膜で覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

からなる半導体基板1の表面に熱CVD法やプラズマCVD法等により、シリコン酸化膜を厚さ1μm程度厚く形成することにより第1の絶縁膜2を形成した後、さらに第1の導電性膜11であるTiN膜をCVD法又はスパッタ法で0.2μm〜0.3μmの厚さに形成する。次に、図17に示すように、この第1の導電性膜11の表面上にレジスト膜を形成し、写真製版法によりパターンニングしてレジストパターン3を形成した後、図18及び図19に示すように、異方性のドライエッチングにより第1の導電性膜11及び第1の絶縁膜2をエッチングし、第1の導電性膜11を貫通して開口部4を第1の絶縁膜2に形成する。

【0046】次に、図20に示すように、レジストパターン3を除去した後、図21に示すように第2の導電性膜50であるTiN膜をCVD法又はスパッタ法で0.05μm程度の厚さに、上記開口部4の内壁部及び上記第1の導電性膜11の表面に形成し、さらに図22に示すように、同様の方法で第1の導電性膜50の表面上むすように、かつその厚さが第1の導電性膜50の表面より0.4μm程度になるように形成する。なお、このように形成するCu膜6は純粋なCuに限られないことは実施の形態1で述べたのと同様である。

【0047】次に、図23に示すように、化学機械研磨法により、Cu膜6の研磨を、第1の導電性膜11の上のCu膜が完全に除去されるまで行うことで、Cu膜配線61を形成する。ここで、この研磨は、少なくとも第1の導電性膜50の一部又は全部が除去されるが、少なくともその下の第1の導電性膜11は、完全に除去されず、第1の導電性膜50の表面が除去される。従って、この工程によって形成されるCu膜配線61は、第1の絶縁膜2に対して残存するように行われる。従って、第1の導電性膜11は、完全に除去されず、第1の導電性膜50の表面が除去される。従って、この工程によって形成されるCu膜配線61は、第1の絶縁膜2に対して残存するように行われる。従って、第1の導電性膜50の表面が除去される。従って、この工程によって形成されるCu膜配線61は、第1の絶縁膜2に対して残存するように行われる。

【0048】次に、図24に示すように、ドライエッチングにより、残存した第1の導電性膜11及び第1の導電性膜50の表面の第2の導電性膜50を選択的に除去する。ここで、このエッチングの条件としては、例えば、第1の導電性膜11及び第2の導電性膜50の材料がともにTiNである場合は、エッチングガスとして塩素を含むガスを用いて、数℃〜数10℃の比較的低温でエッチングを行う。このようなエッチング工程により、Cu膜61は第1の絶縁膜2の平坦部に対して突出した状態が形成される。

【0049】次に、図25に示すように、熱CVD法又はプラズマCVD法などにより、第2の絶縁膜7である厚さ0.8μmのシリコン酸化膜を第1の絶縁膜2及びCu膜配線61の表面を覆うように形成する。

【0050】この実施の形態5の製造方法で得られる半導体装置は、実施の形態1の半導体装置と同様の構成のものである。しかし、この実施の形態5で示した製造方法では、第1の導電性膜11を第1の絶縁膜2の平坦部内に形成したことに伴い、第1の絶縁膜2の平坦部に形成する導電性膜の厚さと開口部4の側壁部に形成される導電性膜の厚さとを独立に制御することが可能になる。その結果、研磨工程等他のプロセス条件の設定の自由度が増し、またCu膜配線61が第1の絶縁膜2より突出する部分の高さを抑制することも可能となるため、実施の形態1で示した半導体装置がより制御よく製造できるという効果がある。

【0051】なお、上記の実施の形態5で説明した半導体装置の製造方法は、実施の形態2乃至実施の形態4で説明した半導体装置の製造について適用できることはいずれでもない。また、この第1の導電性膜11及び第2の導電性膜50の材料はCu膜配線61とエッチング特性の異なる材料であればTiN膜に限らずその他の材料でもよく、例えばTiとシリコンと窒素の化合物からなる膜や金属膜によってもよい。また、配線が1層のルミニウム合金膜であってもよい。さらに、図20における第2の場合のみならず、2層以上の多層膜構造の半導体装置についても適用してもよい。さらに、図20における第2の導電性膜50の形成を省略して、Cu膜6を直接絶縁膜2の開口部4の内壁上に形成する構成としてもよい。

【0052】この発明に係る半導体装置は、Cu膜配線を半導体基板上に形成された第1の絶縁膜から突出するような構成としたので、Cu膜を研磨する際に、Cu膜が第1の絶縁膜2に対して平坦になるまで研磨を行う必要がなく、第1の絶縁膜2の表面が直接研磨されることにはならない。その結果、第1の絶縁膜2の表面にスクラッチが形成されることがなくなり、スクラッチに残存したCuやTiNにより配線が短絡されるという問題が回避できる効果がある。また、第1の絶縁膜2の表面に窪みが形成されることもなくなるため、窪みの形成によりCu膜配線の抵抗が増加するという問題が回避できる効果がある。

【0053】さらに、この発明に係る半導体装置は、絶縁膜の表面から突出しているCu膜配線61の表面をシリコン窒化膜で覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

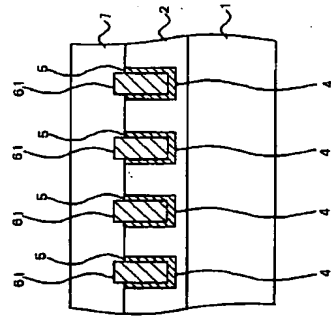
【0054】また、この発明に係る半導体装置は、Cu膜配線61の表面をシリコン窒化膜で覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

【0055】さらに、この発明に係る半導体装置は、Cu膜配線61の表面をシリコン窒化膜で覆うようにしたので、耐酸化性に優れるCu膜配線が形成できるという効果がある。

【図27】従来の半導体装置の製造方法を示す断面図。
 【図28】従来の半導体装置の製造方法を示す断面図。
 【図29】従来の半導体装置の製造方法を示す断面図。
 【図30】従来の半導体装置の製造方法を示す断面図。
 【図31】従来の半導体装置の製造方法を示す断面図。
 【図32】従来の半導体装置の製造方法を示す断面図。
 【符号の説明】

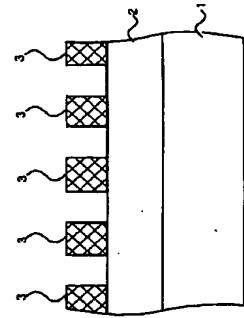
- 1 半導体基板
- 2 第1の絶縁膜
- 3 レジストパターン
- 4 第1の絶縁膜に形成した開口部

【図11】



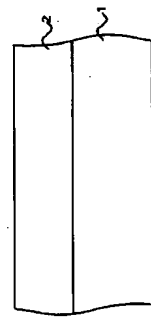
- 1:半導体基板
- 2:第1の絶縁膜
- 4:第1の絶縁膜に形成した開口部
- 5:導電性膜
- 6:1:Cu膜配線
- 7:第2の絶縁膜

【図3】

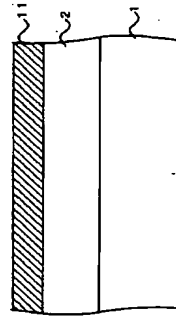


3:レジストパターン

【図2】

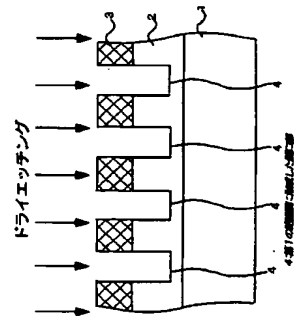


【図16】



11:第1の導電性膜

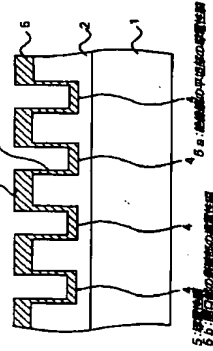
【図4】



ドライエッチング

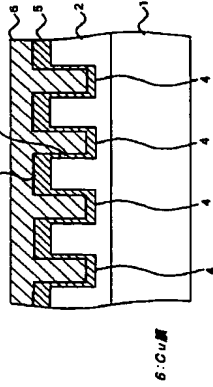
4:第1の絶縁膜に形成した開口部

【図5】



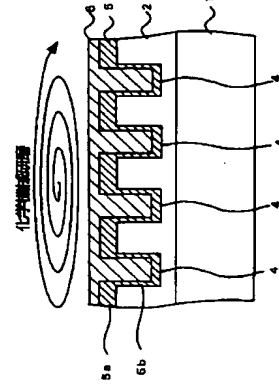
5:半導体基板の表面の導電性膜

【図6】



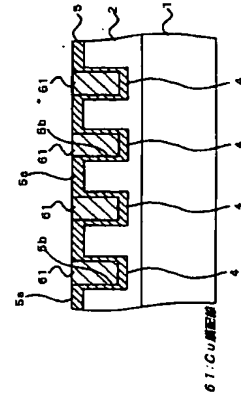
6:Cu膜

【図7】



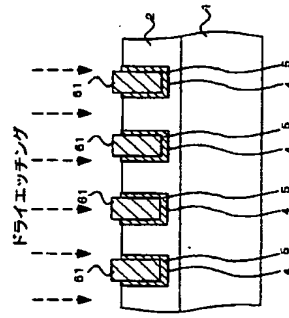
化学蒸着法

【図8】



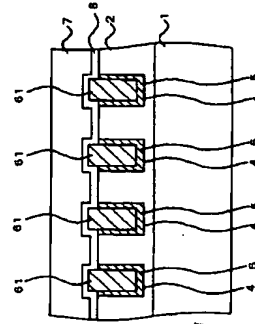
6:1:Cu膜配線

【図9】



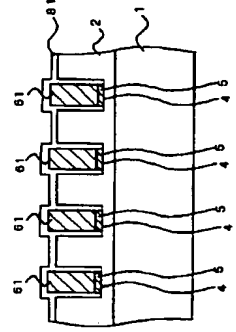
ドライエッチング

【図10】

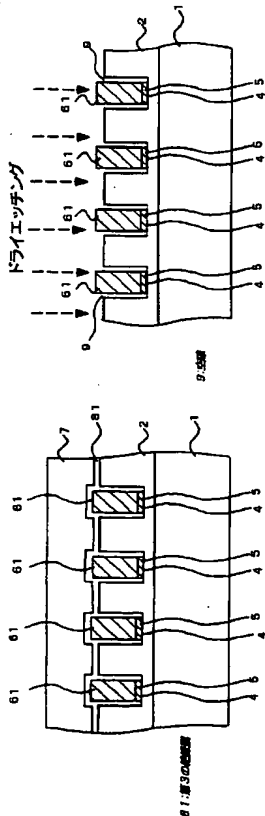


6:第2の絶縁膜

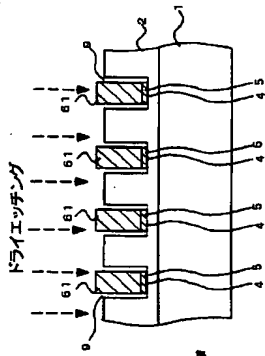
【図13】



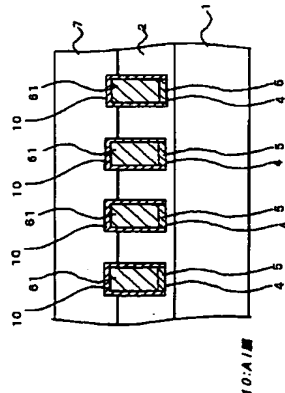
【図11】



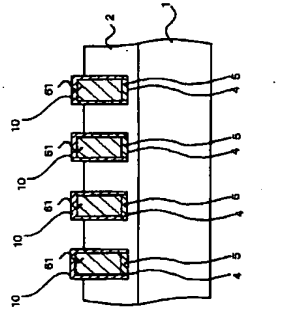
【図12】



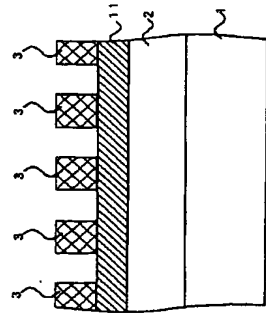
【図14】



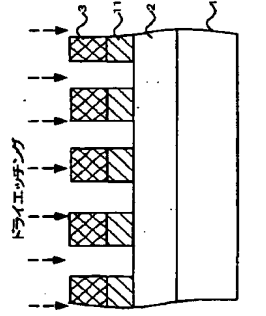
【図15】



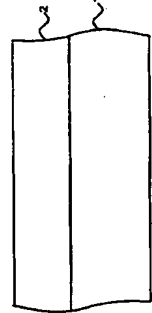
【図17】



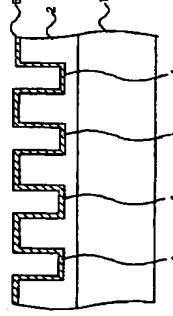
【図18】



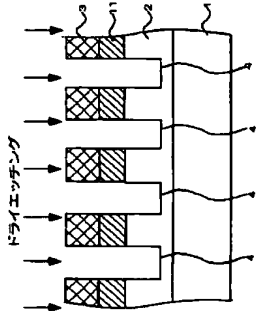
【図26】



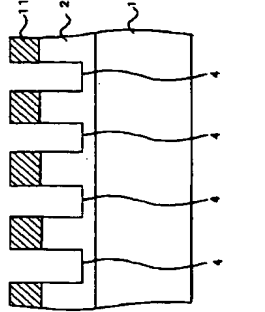
【図29】



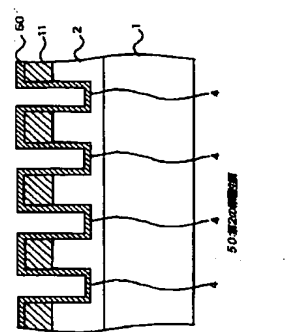
【図19】



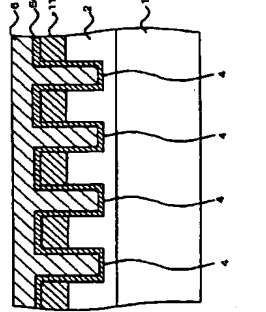
【図20】



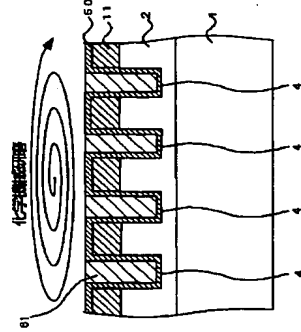
【図21】



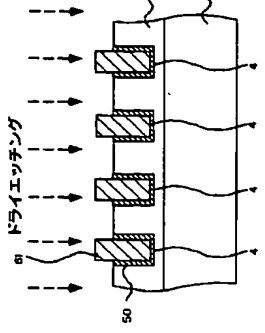
【図22】



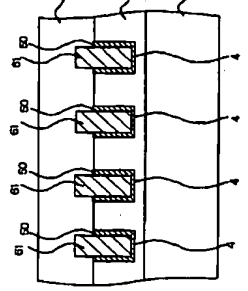
【図23】



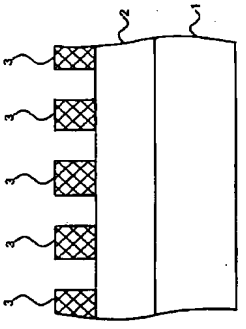
【図24】



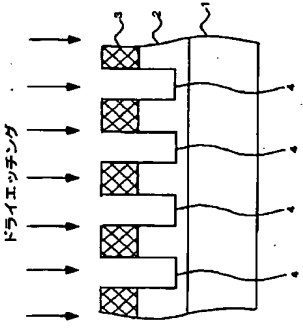
【図25】



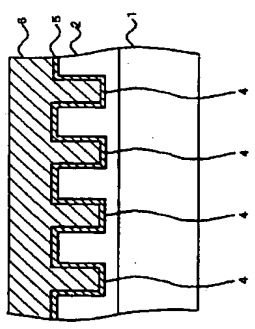
【図27】



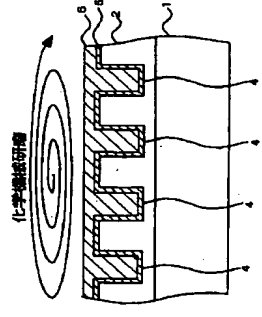
【図28】



【図30】



【図31】



【図32】

